

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05063091 A**

(43) Date of publication of application: 12 . 03 . 93

(51) Int. Cl.

**H01L 21/82**(21) Application number: **03224207**

(22) Date of filing: 04 . 09 . 91

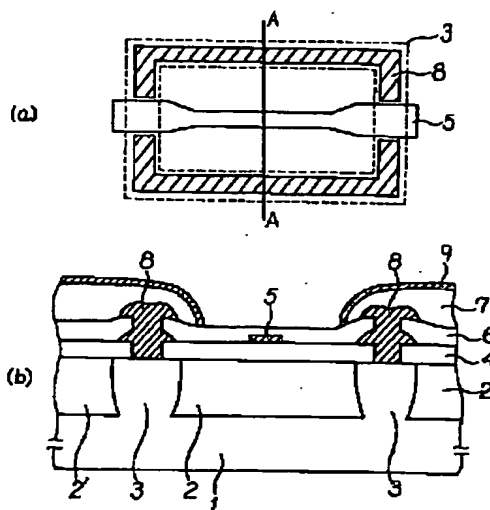
(71) Applicant: **FUJITSU LTD**(72) Inventor: **ENDO TORU  
OKAJIMA YOSHINORI**(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1993,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To prevent invasion of moisture into a semiconductor element and to prevent an electric short-circuit at the time of melting a fuse by forming a guard ring of an Al layer buried at a field oxide film and an interlayer insulating film near a fuse opening under a passivation film in contact with a semiconductor substrate.

**CONSTITUTION:** A guard ring 8 of an Al layer is so formed in a shape as to be buried in a field oxide film 4 and an interlayer insulating film 6 in contact with an isolation 3 and to surround a fuse 5 so as not to be brought into electric contact with the fuse 5. Accordingly, a fuse opening is isolated from an element isolating part by the ring 8. A passivation film 7 is formed on the film 6 and the ring 8 except the fuse opening. Further, a nitride film 9 is so formed to the end of the fuse opening on the film 7 as to cover the entire film 7. Thus, invasion of moisture absorbed to the film 6 and moisture from a boundary between the films 6 and 4 can be shut off.



This Page Blank (uspto)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-63091

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.<sup>5</sup>

H01L 21/82

識別記号

庁内整理番号

FI

技術表示箇所

9169-4M

H01L 21/82

F

審査請求 未請求 請求項の数3(全6頁)

(21)出願番号 特願平3-224207

(22)出願日 平成3年(1991)9月4日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 遠藤 徹

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 岡島 義憲

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 北野 好人

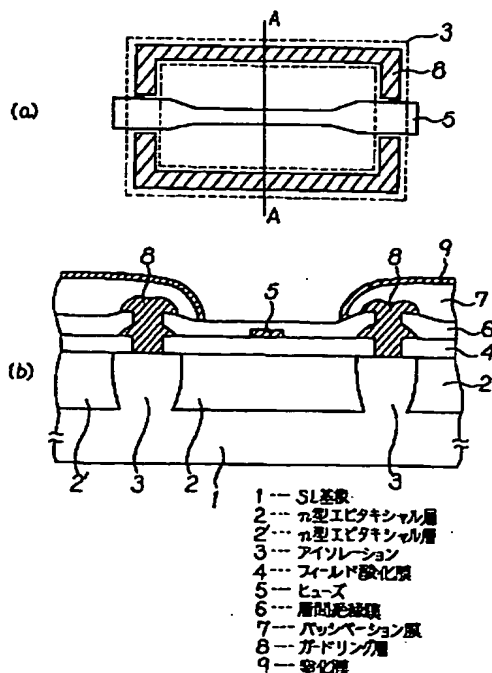
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】本発明は、冗長回路やプログラミング等に使用される半導体ヒューズを有する半導体装置に関し、半導体素子内部への水分の侵入を防止し、また、ヒューズ切断時のダメージによる電氣的ショートが発生を防止した半導体装置を提供することを目的とする。

【構成】p型半導体基板1に形成されたアイソレーション3により画定されたn型領域2と、半導体基板1上に形成されたフィールド酸化膜4と、n型領域2上部のフィールド酸化膜4上に形成されたヒューズ5と、フィールド酸化膜4上及びヒューズ5上に形成された層間絶縁膜6と、層間絶縁膜6上に形成され、ヒューズ5周囲にヒューズ開口部を有するパッシベーション膜7上部に形成された窒化膜9と、アイソレーション3とコンタクトし、フィールド酸化膜4及び層間絶縁膜6に埋込み形成されたA1層のガードリング8を備えるように構成する。

本発明の第1の実施例による半導体装置を示す図



## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、前記半導体基板上に形成されたフィールド酸化膜と、前記フィールド酸化膜上に形成されたヒューズと、前記フィールド酸化膜上及び前記ヒューズ上に形成された層間絶縁膜と、前記層間絶縁膜上に形成され、前記ヒューズ上部が開口したヒューズ開口部を有するパッシベーション膜と、前記パッシベーション膜上部に形成された窒化膜とを備え、前記ヒューズを切断することにより、配線の導通をオフさせる半導体装置において、

前記パッシベーション膜下であって、前記ヒューズ開口部近傍の前記フィールド酸化膜及び前記層間絶縁膜に埋込み形成され、前記半導体基板とコンタクトするA1層のガードリングを備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記半導体基板上に形成された第2導電型のエピタキシャル層と、前記半導体基板上に形成され、前記第2導電型のエピタキシャル層を電氣的に分離するアイソレーションとを備え、

前記ガードリングは、前記アイソレーションとコンタクトしていることを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、前記窒化膜を前記ヒューズ開口部内壁上に形成したことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、冗長回路やプログラミング等に使用される半導体ヒューズを有する半導体装置 30 に関する。

## 【0002】

【従来の技術】 従来より、冗長回路やプログラミング等に使用される半導体ヒューズを有する半導体装置のヒューズ切断部周辺の構造は、ヒューズと半導体基板との間の電氣的ショートを防ぐため、また、ヒューズ切断部周辺から半導体素子内部に水分が侵入してしまうことを防止するために種々の工夫がされている。

【0003】 従来の半導体ヒューズを有する半導体装置を図3及び図4を用いて説明する。図3(a)は、従来の半導体ヒューズを有する半導体装置の平面図である。図3(b)は、従来の半導体ヒューズを有する半導体装置のA-A断面図である。但し、図3(a)においては図3(b)に示すパッシベーション膜7及び窒化膜9を省略して示している。

【0004】 p型半導体基板1にアイソレーション3が形成されている。アイソレーション3は、図3(a)の破線で示すように長方形形状に形成されている。アイソレーション3で画定された領域に形成されたn型エピタキシャル層2により、ヒューズ切断部が形成されてい 50

る。半導体基板1上にはSiO<sub>2</sub>のフィールド酸化膜4が形成されている。n型エピタキシャル層2上部のフィールド酸化膜4上に、多結晶シリコンのヒューズ5が形成されている。フィールド酸化膜4上及びヒューズ5上にPSGの層間絶縁膜6が形成されている。層間絶縁膜6上には、ヒューズ5上部が開口したヒューズ開口部を除きパッシベーション膜7が形成されている。パッシベーション膜7上面には、Si<sub>3</sub>N<sub>4</sub>の窒化膜9が形成されている。

10 【0005】 半導体ヒューズを動作させるには、図3に示すヒューズ5に、ヒューズ開口部上部からレーザ光等を照射し、ヒューズ5を切断して配線の導通をオフさせる。このため、ヒューズ開口部は、ヒューズ5を切断しやすいように、ヒューズ5上には層間絶縁膜6のみが形成されている。このとき、切断されたヒューズ5がフィールド酸化膜4をブレイクしてn型エピタキシャル層2にまで達しヒューズ5とn型エピタキシャル層2がショートしてしまうと、n型エピタキシャル層2に隣接したn型エピタキシャル層2'に形成された素子とヒューズ 20 5との電位がショートしてしまう。これを防止するためアイソレーション3が設けられている。

【0006】 パッシベーション膜7上形成された窒化膜9は、パッシベーション膜7の耐湿性が弱いことから、半導体素子への水分の侵入を防ぎ耐湿性を向上させるために形成されている。図4(a)は、他の従来の半導体ヒューズを有する半導体装置の平面図である。図4

(b)は、他の従来の半導体ヒューズを有する半導体装置のA-A断面図である。但し、図4(a)においては図4(b)に示すパッシベーション膜7及び窒化膜9を省略して示している。

【0007】 半導体基板1上にSiO<sub>2</sub>のフィールド酸化膜4が形成されている。フィールド酸化膜4上に、多結晶シリコンのヒューズ5が形成されている。フィールド酸化膜4上及びヒューズ5上にPSGの層間絶縁膜6が形成されている。フィールド酸化膜4にコンタクトし、ヒューズ5を挟んで[]形状に層間絶縁膜6に埋込まれたA1層のガードリング8が形成されている。層間絶縁膜6上及びガードリング8上部には、ヒューズ5周囲のヒューズ開口部を除きパッシベーション膜7が形成 40 されている。パッシベーション膜7上部には、窒化膜9が形成されている。

【0008】 図4で示される半導体ヒューズも図3で示されると同様にヒューズ開口部上部からレーザ光を照射してヒューズ5を切断して用いる。図4で示される半導体ヒューズは、ヒューズ開口部のパッシベーション膜7が開口されて層間絶縁膜6が露出している部分から、層間絶縁膜6を通して半導体素子内部に水分が侵入してしまうことを防止するため、層間絶縁膜6にA1層のガードリング8を形成して、ヒューズ開口部と半導体素子を 50 分離している。

## 【0009】

【発明が解決しようとする課題】しかしながら、図3に示した従来の半導体装置のヒューズ構造では、ヒューズ5の開口部から絶縁膜6及びその界面を伝わって水分が侵入し、半導体素子内部のA1配線やトランジスタ等（図示せず）を劣化させるという問題がある。図4に示した従来の半導体装置では、層間絶縁膜6に吸収される水分を防ぐことはできるが、層間絶縁膜6とフィールド酸化膜4との界面を伝わって侵入する水分を防止することはできない。

【0010】また、図3又は図4に示した従来の半導体装置は、耐湿性の強い窒化膜9が半導体素子領域上部に形成されているが、ヒューズ開口部については形成されていない。従って、ヒューズ開口部の層間絶縁膜6とパッシベーション膜7の境界が露出した状態であり、ヒューズ開口部を有する半導体装置の耐湿性強化には窒化膜9が十分寄与していない。

【0011】さらに図3又は図4に示した従来の半導体装置では、ヒューズ5切断時におけるダメージにより、電気的ショートが発生させてしまうという問題がある。本発明の目的は、半導体素子内部への水分の侵入を防止し、また、ヒューズ切断時のダメージによる電気的ショートの発生を防止した半導体装置を提供することにある。

## 【0012】

【課題を解決するための手段】上記目的は、第1導電型の半導体基板と、前記半導体基板上に形成されたフィールド酸化膜と、前記フィールド酸化膜上に形成されたヒューズと、前記フィールド酸化膜上及び前記ヒューズ上に形成された層間絶縁膜と、前記層間絶縁膜上に形成され、前記ヒューズ上部が開口したヒューズ開口部を有するパッシベーション膜と、前記パッシベーション膜上部に形成された窒化膜とを備え、前記ヒューズを切断することにより、配線の導通をオフさせる半導体装置において、前記パッシベーション膜下であって、前記ヒューズ開口部近傍の前記フィールド酸化膜及び前記層間絶縁膜に埋込み形成され、前記半導体基板とコンタクトするA1層のガードリングを備えたことを特徴とする半導体装置によって達成される。

【0013】又、前記半導体基板に形成された第2導電型のエピタキシャル層と、前記半導体基板に形成され、前記第2導電型のエピタキシャル層を電気的に分離するアイソレーションとをさらに備え、前記ガードリングは、前記アイソレーションとコンタクトしていることが望ましい。さらに、前記窒化膜端部を前記ヒューズ開口部内壁に達するまで形成するようにすることが望ましい。

## 【0014】

【作用】本発明によれば、半導体素子内部への水分の侵入を防止でき、また、ヒューズ切断時のダメージによる

電気的ショートの発生を防止することができる。

## 【0015】

【実施例】本発明の第1の実施例による半導体装置を図1を用いて説明する。図1(a)は、本発明の第1の実施例による半導体ヒューズを有する半導体装置の平面図である。図1(b)は、本発明の第1の実施例による半導体ヒューズを有する半導体装置のA-A断面図である。但し、図1(a)においては図1(b)に示すパッシベーション膜7及び窒化膜9を省略して示している。

10 【0016】p型半導体基板1にアイソレーション3が形成されている。アイソレーション3は、図1(a)の破線で示すように長方形形状に形成され、アイソレーション3により画定された領域に形成されたn型エピタキシャル層2により、ヒューズ切断部が形成されている。n型エピタキシャル層2の周囲には、アイソレーション3を介して隣接したn型エピタキシャル層2'に素子領域が形成されている。

【0017】半導体基板1上にはSiO<sub>2</sub>のフィールド酸化膜4が形成されている。n型エピタキシャル層2上部のフィールド酸化膜4上に、多結晶シリコンのヒューズ5が形成されている。フィールド酸化膜4上及びヒューズ5上にPSGの層間絶縁膜6が形成されている。アイソレーション3とコンタクトし、アイソレーション3上のフィールド酸化膜4及び層間絶縁膜6に図1(b)に示すような形状に埋込まれ、図1(a)に示すように、ヒューズ5と電気的に接触しないようにヒューズ5を取囲むような形状でA1層のガードリング8が形成されている。ガードリング8によりヒューズ開口部と素子領域とが分離されている。層間絶縁膜6上及びガードリング8上部には、ヒューズ5周囲のヒューズ開口部を除きパッシベーション膜7が形成されている。パッシベーション膜7上部には、パッシベーション膜7全体をカバーするようにヒューズ開口部端までSi<sub>3</sub>N<sub>4</sub>の窒化膜9が形成されている。

【0018】従来の半導体装置の半導体ヒューズでは、A1層のガードリング8がフィールド酸化膜4の上部までに止まり、半導体基板1にまでは到達していなかったのに対して、本実施例の半導体装置の半導体ヒューズは、半導体基板1とコンタクトし、フィールド酸化膜4及び層間絶縁膜6を貫くA1層のガードリング8を埋込み形成したので、層間絶縁膜6に吸収された水分はもちろん、層間絶縁膜6とその下のフィールド酸化膜4との界面からの水分の侵入をも遮断することができる。

【0019】このように、ヒューズ切断部と素子領域を物理的に分離することにより、ヒューズ開口部から素子領域への水分の侵入を防止し、半導体素子内部の耐湿性の向上を図ることができる。また、p型半導体基板1に形成されたn型エピタキシャル層2とp型半導体基板1とを電気的に分離するためのアイソレーション3は、A1のガードリング8とコンタクトしているので、ガード

リング8に電圧を印加することにより、ヒューズ切断時におけるアイソレーション3の電気的分離の効果を向上させている。例えば、P型アイソレーション3にコンタクトしているA1のガードリング8に最も低い負電位を与えることにより、より強く素子分離を行うことができる。

【0020】さらに、従来の半導体装置の半導体ヒューズでは、パッシベーション膜7上部にのみ窒化膜9を形成していたが、本実施例の半導体装置の半導体ヒューズは、パッシベーション膜7上部からヒューズ開口部とパッシベーション膜7の接合部にまで窒化膜9を覆い被せて形成したので、ヒューズ開口部から素子領域への水分の侵入が防止され、半導体素子内部の耐湿性の向上が図られている。

【0021】本発明の第2の実施例による半導体装置を図2を用いて説明する。本実施例の半導体装置は、半導体基板1に形成されたガードリング8とコンタクトするアイソレーション3がU溝アイソレーションであることを特徴とする。U溝アイソレーションは、例えば、n型エピタキシャル層2が形成されたp型半導体基板1に方向性エッチングを施し、p型半導体基板にまで達するU型の溝を形成し、その溝を多結晶シリコン等の絶縁物で埋込んで形成したものである。

【0022】本実施例の半導体装置も、第1の実施例と同様に層間絶縁膜6に吸収された水分はもちろん、層間絶縁膜6とその下のフィールド酸化膜4との界面からの水分の侵入をも遮断することができる。さらに、パッシベーション膜7上部からヒューズ開口部とパッシベーション膜7の接合部にまで窒化膜9を覆い被せて形成したので、ヒューズ開口部から素子領域への水分の侵入が防

止され、半導体素子内部の耐湿性の向上が図られている。

【0023】本発明は、上記実施例に限らず種々の変形が可能である。例えば、上記実施例においては、ヒューズ5の材料として多結晶シリコンを用いたが、他の材料、例えばA1を用いてもよい。

【0024】

【発明の効果】以上の通り、本発明によれば、半導体素子内部への水分の侵入を防止し、また、ヒューズ切断時のダメージによる電気的ショートが発生を防止した半導体装置を実現でき、半導体装置の耐湿性の向上、ひいては品質向上に大きく寄与することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置を示す図である。

【図2】本発明の第2の実施例による半導体装置を示す図である。

【図3】従来の半導体装置を示す図である。

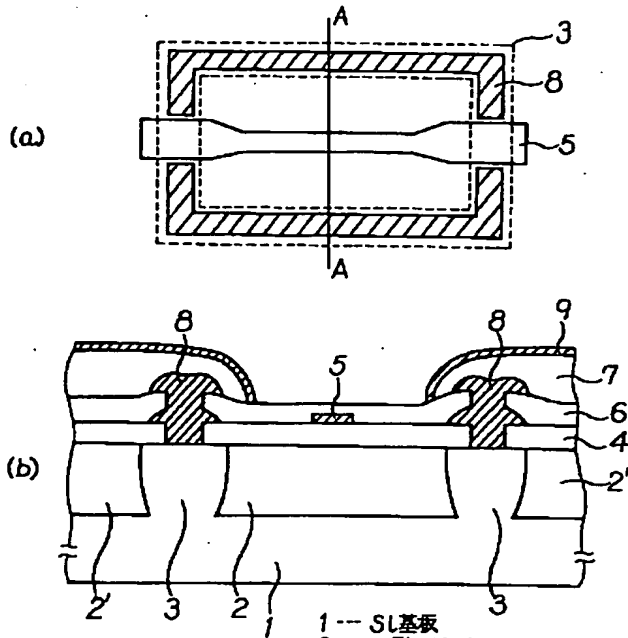
【図4】他の従来の半導体装置を示す図である。

【符号の説明】

- 1…Si基板
- 2…n型エピタキシャル層
- 2'…n型エピタキシャル層
- 3…アイソレーション
- 4…フィールド酸化膜
- 5…ヒューズ
- 6…層間絶縁膜
- 7…パッシベーション膜
- 8…ガードリング層
- 9…窒化膜

【図1】

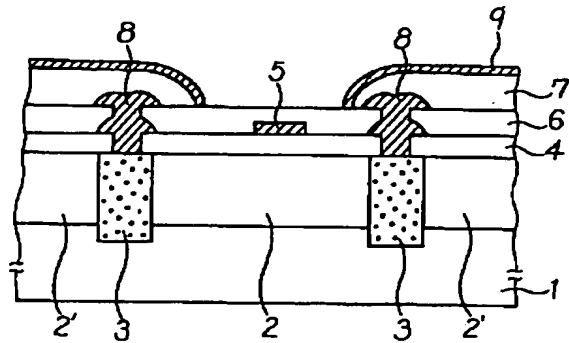
本発明の第1の実施例による半導体装置を示す図



- 1 --- Si基板
- 2 --- n型エピタキシャル層
- 2' --- p型エピタキシャル層
- 3 --- アイスレーション
- 4 --- フィールド酸化膜
- 5 --- ヒューズ
- 6 --- 層間絶縁膜
- 7 --- パッシベーション膜
- 8 --- ガドリング層
- 9 --- 窒化膜

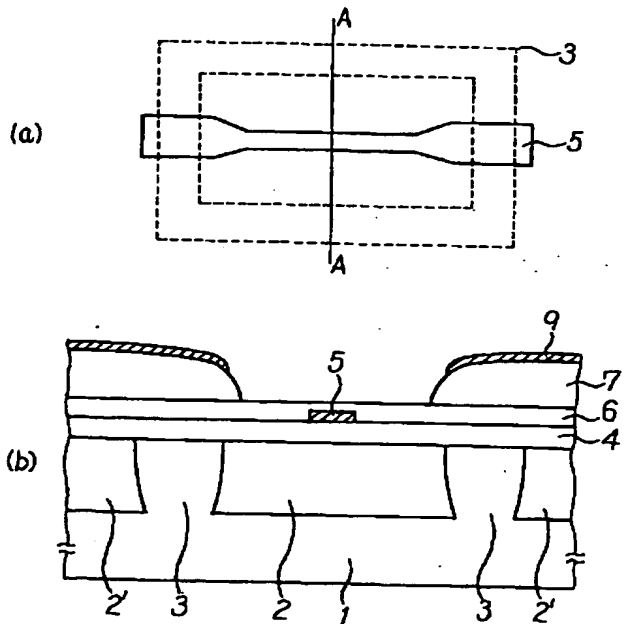
【図2】

本発明の第2の実施例による半導体装置を示す図



【図3】

従来半導体装置を示す図



【図4】

他の従来の半導体装置を示す図

